

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-348232

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.<sup>5</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

庁内整理番号

9226-2K

F I

技術表示箇所

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平5-137059

(22) 出願日

平成5年(1993)6月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 星川 栄作

東京都港区芝五丁目7番1号 日本電気株式会社内

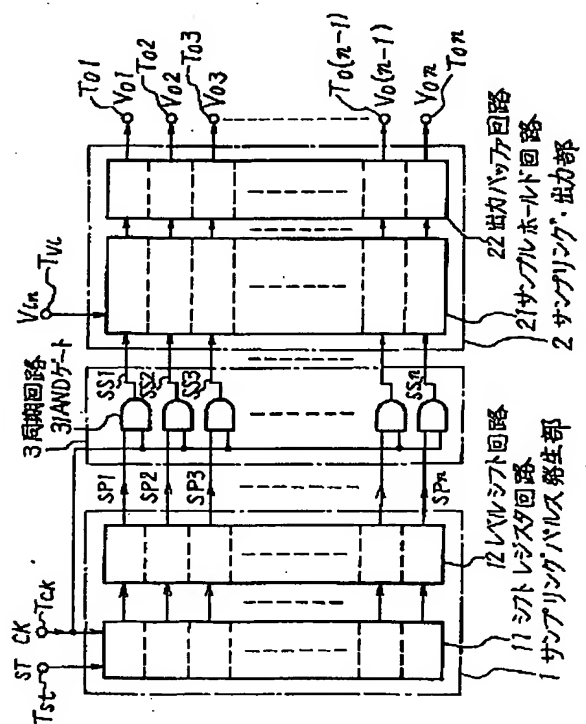
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶表示パネル駆動回路

(57) 【要約】

【目的】 サンプリングパルスそれぞれの遅延量の差に起因する画像の忠実度の低下及び画質の劣化を防止する。

【構成】 サンプリングパルス  $SP_1 \sim SP_n$  それぞれとクロック信号  $CK$  の対応パルスとのAND処理を行う複数のANDゲート31を含み、上記サンプリングパルスそれぞれをクロック信号  $CK$  の対応パルスに同期させてサンプリング・出力部2に供給する同期回路3をサンプリング・出力部2に近接して設ける。



(2)

## 【特許請求の範囲】

【請求項1】 基板上の所定の位置に設けられクロック信号に同期してサンプリングパルスを順次所定の数だけ発生するサンプリングパルス発生部と、前記基板上の所定の位置に設けられ前記サンプリングパルスそれぞれに  
1 応答して伝達された画像信号をサンプリングしそのサンプリング画像信号を液晶表示パネルに供給するサンプリング・出力部とを有する液晶表示パネル駆動回路において、前記サンプリング・出力部に近接して前記サンプリングパルスそれぞれを前記クロック信号の対応パルスに同期させる同期回路を設けたことを特徴とする液晶表示  
10 パネル駆動回路。

【請求項2】 同期回路が、サンプリングパルスそれぞれとクロック信号の対応パルスとのAND処理を行う複数のANDゲートを含んで構成された請求項1記載の液晶表示パネル駆動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は液晶表示パネル駆動回路に関し、特にアクティブマトリクス型の液晶表示パネルのソース線を駆動する液晶表示パネル駆動回路に関する。  
20

## 【0002】

【従来の技術】従来のこの種の液晶表示パネル駆動回路の一例のブロック図を図4に示す。

【0003】この液晶表示パネル駆動回路は、所定の段数をもち最前段にスタートパルスSTを受けてこのスタートパルスをクロック信号CKに同期して順次後段側へシフトし各段からサンプリング用のパルスを順次出力するシフトレジスタ回路11、及びこのシフトレジスタ回路11からのサンプリング用のパルスそれぞれを所定のレベルにシフトしてサンプリングパルスSP1～SPnとして出力するレベルシフト回路12を含むサンプリングパルス発生部1と、伝達された画像信号VinをサンプリングパルスSP1～SPnに  
30 応答して順次サンプリングしてホールドするサンプルホールド回路21、及びこのサンプルホールド回路21のホールド信号をバッファ増幅してサンプリング画像信号Vo1～Vonとし液晶表示パネルの対応ソース線に供給する出力バッファ回路22を含むサンプリング・出力部2とを有する構成となっている。

【0004】サンプリングパルス発生部1は主にデジタル回路で形成され、回路も比較的単純であるが、サンプリング・出力部2は、大半がアナログ回路で形成される上、サンプリングされた信号をホールドするためのコンデンサを含み、回路も複雑になる。従ってこれら回路を所定の基板に形成した場合、サンプリング・出力部2は、サンプリングパルス発生部1の数倍の面積を必要とする。また、サンプリング画像信号Vo1～Vonを液晶表示パネルに供給するための出力端子To1～Ton  
50

2

の数は多く、これら出力端子を基板の周辺部に配置しなければならないため、サンプリングパルス発生部1、サンプリング・出力部2及び出力端子To1～Ton等の基板への配置は、一例として図5のようになる（当社製LCDドライバKD-16405の場合）。

【0005】この例では、サンプリングパルス発生部1が基板10の中央部の一方の辺寄りに、またサンプリング・出力部2が、上記一方の辺側のサンプリングパルス発生部1の両側と他方の辺側全体に配置され、出力端子To1～Tonは、サンプリング・出力部2の外側に各辺に沿って配置されている。

【0006】従ってサンプリングパルス発生部1からのサンプリングパルスSP1～SPnのサンプリング・出力部2への伝達距離がそれぞれ異なるためその遅延量が異なり、図6に示すように、サンプリング・出力部2はクロック信号CKのそれぞれの対応パルスに対し、異った遅延量(td1～tdn)でサンプリングパルスSP1～SPnを受けることになる。このようなサンプリングパルスでサンプリングされた画像信号による画像は原画像に対する忠実度が低下しその画質が劣化する。この問題は、サンプリング画像信号の最終レベルを決定するサンプリングパルスSP1～SPnの後縁に大きく依存する。

【0007】液晶表示パネルが大型化すると、1つの液晶表示パネル駆動回路で駆動することができなくなり、図7に示すように、複数の液晶表示パネル駆動回路100-1～100-Nをカスケード接続する構成となる。

【0008】この場合、2段目以降の液晶表示パネル駆動回路100-2～100-Nのスタートパルスは、その前段の液晶表示パネル駆動回路の最後段のサンプリングパルスを割当てる。これらの液晶表示パネル駆動回路100-1～100-Nにおいても、前述のサンプリングパルスSP1～SPnのタイミングのずれによる忠実度の低下や画質の劣化は同様であり、更に、1つの液晶表示パネル駆動回路から次の液晶表示パネル駆動回路へのつなぎ目の部分では、前段の最後のサンプリングパルスSPnと次段の最初のサンプリングパルスSW1とのクロック信号の対応パルスに対する遅延量が異なるため、この部分での忠実度の劣化、画質の低下もある。

## 【0009】

【発明が解決しようとする課題】上述した従来の液晶表示パネル駆動回路では、アナログ回路が大半を占めるサンプリング・出力部2の面積がデジタル回路を主体とするサンプリングパルス発生部1の数倍となるため、これら回路及びサンプリング画像信号の出力端子To1～Tonを基板上へ配置したとき、サンプリングパルスSP1～SPnのクロック信号の対応パルスに対する遅延量が互いに異なる結果となり、このようなサンプリングパルスでサンプリングされた画像信号による液晶表示パネル上の画像は、その忠実度が低下し画質が劣化すると

(3)

3

いう欠点があった。更に、大型の液晶表示パネルを複数の液晶表示パネル駆動回路で駆動する場合には、それぞれについて上記欠点があるほか、これらのつなぎ目の部分でも同様の欠点があった。

【0010】本発明の目的は、単独使用及び複数使用の何れの場合でも、液晶表示パネル上の画像の忠実度の低下や画質の劣化が防止できる液晶表示パネル駆動回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の液晶表示パネル駆動回路は、基板上の所定の位置に設けられクロック信号に同期してサンプリングパルスを順次所定の数だけ発生するサンプリングパルス発生部と、前記基板上の所定の位置に設けられ前記サンプリングパルスそれぞれにตอบสนองして伝達された画像信号をサンプリングしそのサンプリング画像信号を液晶表示パネルに供給するサンプリング・出力部とを有する液晶表示パネル駆動回路において、前記サンプリング・出力部に近接して前記サンプリングパルスそれぞれを前記クロック信号の対応パルスに同期させる同期回路を設けて構成される。

【0012】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0013】図1は本発明の一実施例を示す回路図、図2はこの実施例の各部の基板上への配置図である。

【0014】この実施例が図4及び図5に示された従来の液晶表示パネル駆動回路と相違する点は、サンプリングパルス $SP_1 \sim SP_n$ それぞれとクロック信号 $CK$ の対応パルスとのAND処理を行う複数のANDゲート31を含み、サンプリングパルス $SP_1 \sim SP_n$ それぞれをクロック信号 $CK$ の対応パルスに同期させてサンプリング・出力部2に供給する同期回路3をサンプリング・出力部2に近接して設けた点にある。

【0015】次に、この実施例の動作について説明する。図3はこの実施例の動作を説明するための各部信号のタイミング図である。なお、図3中 $SP_1 \sim SP_n$ は、これらとそれぞれ対応するANDゲート31の入力端におけるサンプリングパルスの波形である。

【0016】同期回路3はサンプリング・出力部2に近接して設けられているので、サンプリングパルス $SP_1 \sim SP_n$ それぞれのクロック信号 $CK$ の対応パルスに対する対応ANDゲート31の入力端における遅延量 $Td_1 \sim Td_n$ は、従来例と同程度である。これらサンプリングパルス $SP_1 \sim SP_n$ それぞれとクロック信号 $CK$ の対応パルスとのAND処理を対応ANDゲート31により行ってサンプリング・出力部2にサンプリングパルス $SS_1 \sim SS_n$ として供給する。

【0017】この結果、サンプリング画像信号 $V_{o1} \sim V_{on}$ の最終レベル決定に大きく影響するサンプリングパルス $SS_1 \sim SS_n$ の後縁が、クロック信号 $CK$ の対

4

応パルスの後縁と一致するので、何れのサンプリング画像信号 $V_{o1} \sim V_{on}$ もクロック信号 $CK$ の各パルスの後縁に同期した正確なタイミングでそのレベルが決定され、従って液晶表示パネルに表示される画像は原画像に対して忠実に表示され、またその画質も劣化することはない。この効果は、大型の液晶表示パネルを複数の液晶表示パネル駆動回路により駆動する場合のつなぎ目の部分に対しても同様である。なお、サンプリングパルス $SS_1 \sim SS_n$ のパルス幅がその遅延量の相違によって違ってくるが、サンプリング画像信号 $V_{o1} \sim V_{on}$ のレベルを決定するには十分なパルス幅であり、特に問題はない。

【0018】

【発明の効果】以上説明したように本発明は、サンプリングパルスのそれぞれをクロック信号の対応パルスと同期させてサンプリング・出力部に供給する同期回路を、サンプリング・出力部に近接して設けた構成とすることにより、サンプリング画像信号の最終レベルを決定するサンプリングパルスの後縁がクロック信号の対応パルスの後縁と一致するので、画像信号のサンプリングタイミングがクロック信号の各パルスの後縁と同期して正確に定まり、従って液晶表示パネル上の画像の原画像に対する忠実度を保つことができ、画質が劣化するのを防止することができる効果がある。この効果は、大型の液晶表示パネルを複数の液晶表示パネル駆動回路で駆動する場合の相互のつなぎ目の部分についても同様である。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】図1に示された実施例の各部の基板上への配置図である。

【図3】図1に示された実施例の動作を説明するための各部信号のタイミング図である。

【図4】従来の液晶表示パネル駆動回路の一例を示すブロック図である。

【図5】図4に示された液晶表示パネル駆動回路の各部の基板上への配置図である。

【図6】図4に示された液晶表示パネル駆動回路の動作を説明するための各部信号のタイミング図である。

【図7】図4に示された液晶表示パネル駆動回路を複数個使用した液晶表示装置のブロック図である。

【符号の説明】

- 1 サンプリングパルス発生部
- 2 サンプリング・出力部
- 3 同期回路
- 10 基板
- 11 シフトレジスタ回路
- 12 レベルシフト回路
- 21 サンプルホールド回路
- 22 出力バッファ回路
- 31 ANDゲート

(4)

100-1~100-N

5

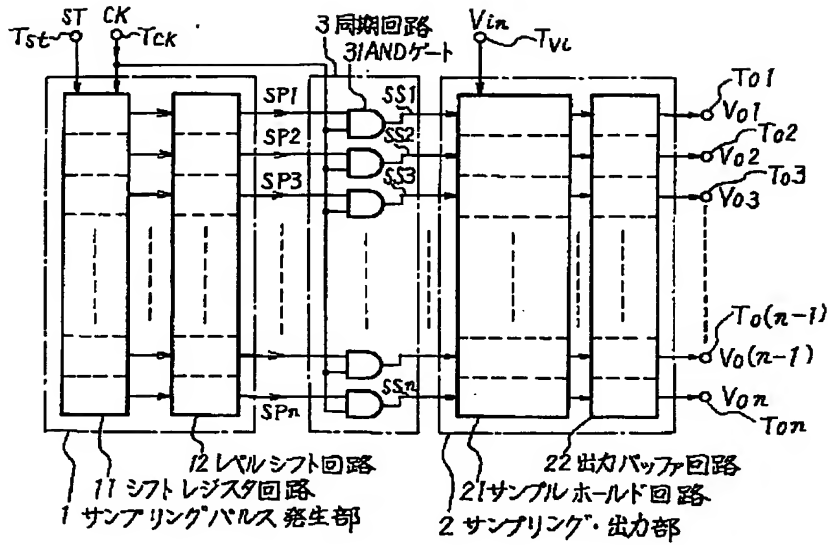
液晶表示パネル駆動回路

200

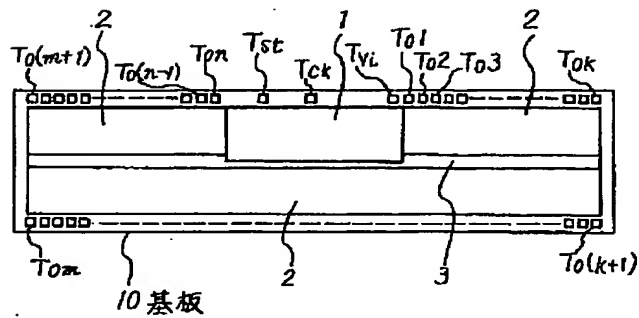
液晶表示パネル

6

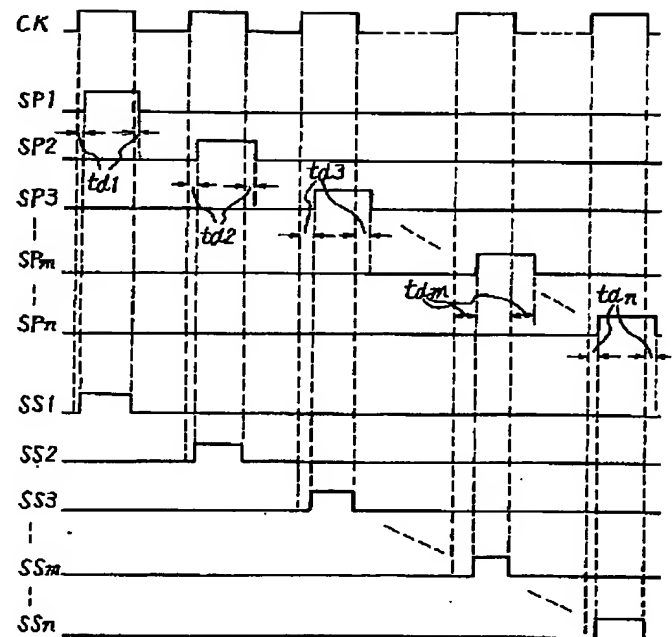
【図1】



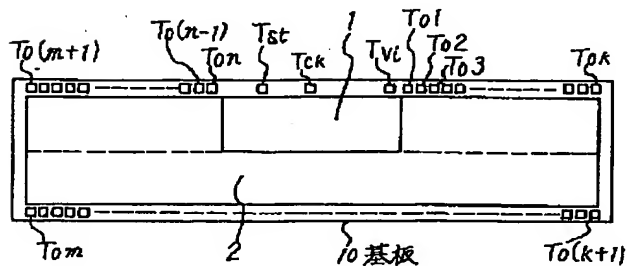
【図2】



【図3】

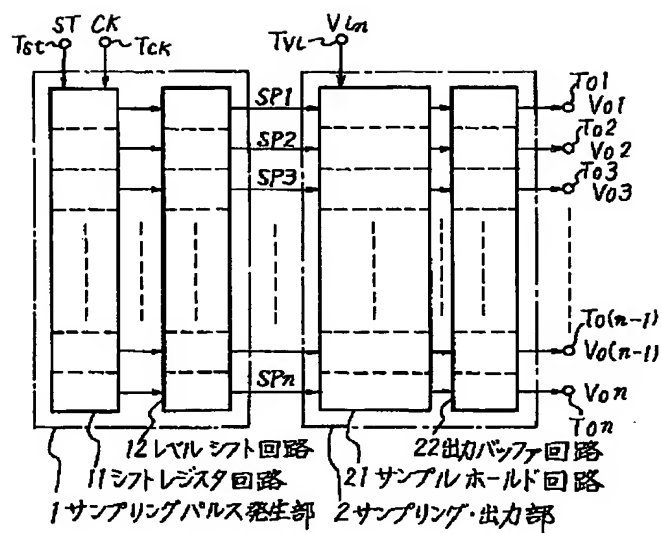


【図5】

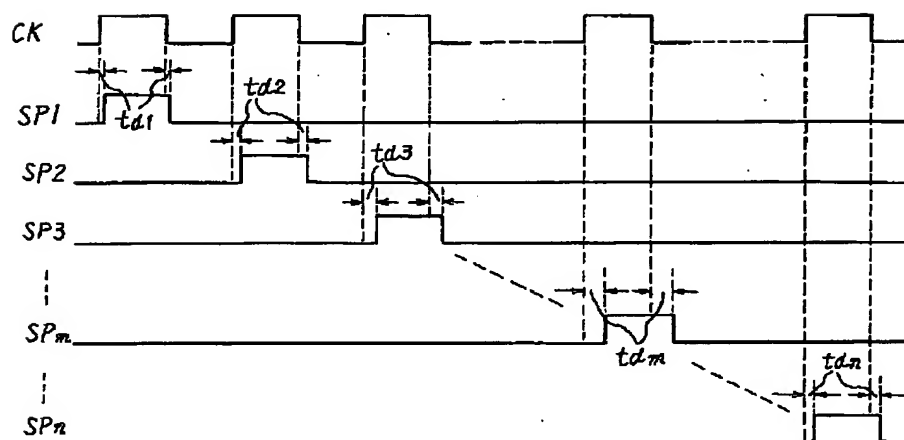


(5)

【図4】

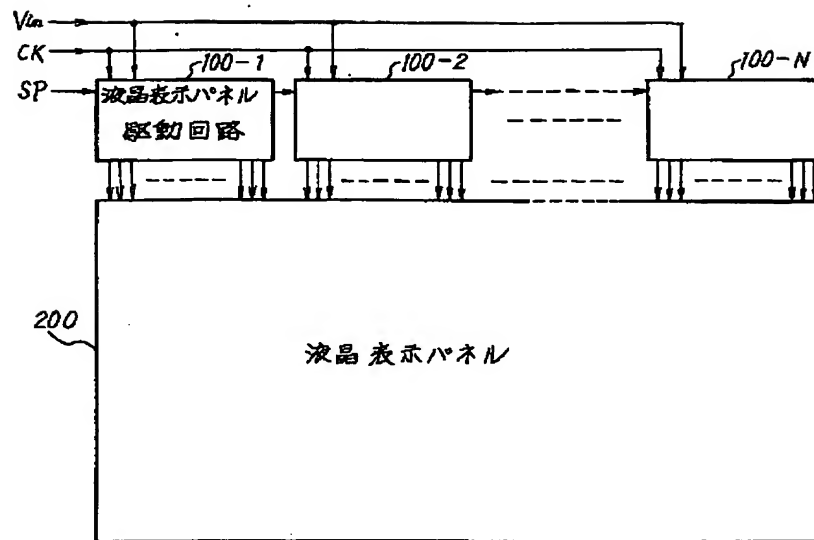


【図6】



(6)

【図7】



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The sampling pulse generating section in which it is prepared in the position on a substrate and only a predetermined number generates a sampling pulse one by one synchronizing with a clock signal, In the liquid crystal display panel drive circuit which has sampling / output section which is prepared in the position on said substrate, samples the picture signal transmitted to said each of sampling pulse by answering, and supplies the sampling picture signal to a liquid crystal display panel The liquid crystal display panel drive circuit characterized by preparing the synchronous circuit which said sampling / output section is approached [ synchronous circuit ] and synchronizes said each of sampling pulse with the correspondence pulse of said clock signal.

[Claim 2] The liquid crystal display panel drive circuit according to claim 1 where the synchronous circuit was constituted including two or more AND gates which perform AND processing with each sampling pulse and the correspondence pulse of a clock signal.

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the liquid crystal display panel drive circuit which drives the source line of the liquid crystal display panel of a active-matrix mold about a liquid crystal display panel drive circuit.

[0002]

[Description of the Prior Art] The block diagram of an example of this conventional kind of liquid crystal display panel drive circuit is shown in drawing 4 .

[0003] This liquid crystal display panel drive circuit In response to a start pulse ST, this

start pulse is synchronized with a forefront stage at clock signal CK with a predetermined number of stages. The shift register circuit 11 which shifts to a latter-part side one by one, and carries out the sequential output of the pulse for a sampling from each stage, and each pulse for the sampling from this shift register circuit 11 are shifted to predetermined level. The sampling pulse generating section 1 including the level shift circuit 12 outputted as sampling pulses SP1-SPn, Sampling pulses SP1-SPn are answered in the transmitted picture signal Vin. Buffer magnification of the held sample hold circuit 21 which carries out a sequential sampling, and the hold signal of this sample hold circuit 21 is carried out. It has the composition of having sampling / output section 2 including the output-buffer circuit 22 which makes the sampling picture signals Vo1-Von, and is supplied to the correspondence source line of a liquid crystal display panel.

[0004] The sampling pulse generating section 1 is mainly formed in a digital circuit, and its circuit is comparatively simple, and a circuit also becomes complicated including a capacitor for sampling / output section 2 to hold the sampled signal, when most is formed in an analog circuit. Therefore, when these circuits are formed in a predetermined substrate, sampling / output section 2 needs the section 1 several times the area of sampling pulse generating. Moreover, in order for there to be many output terminals To1-Ton for supplying the sampling picture signals Vo1-Von to a liquid crystal display panel and to have to arrange these output terminals to the periphery of a substrate, the arrangement to substrates, such as the sampling pulse generating section 1, sampling / output section 2, and output terminals To1-Ton, becomes like drawing 5 as an example (in the case [ Our company LCD driver KD- ] of 16405).

[0005] In this example, the sampling pulse generating section 1 is arranged at one side approach of the center section of a substrate 10, and sampling / output section 2 is arranged at the both sides of the sampling pulse generating section 1 by the side of above-mentioned one side, and the whole side side of another side, and output terminals To1-Ton are arranged along each side on the outside of sampling / output section 2.

[0006] Therefore, since the transfer distance to sampling / output section 2 of the sampling pulses SP1-SPn from the sampling pulse generating section 1 differs, respectively, the amounts of delay will differ, and as shown in drawing 6, sampling / output section 2 will receive sampling pulses SP1-SPn in the different amount of delay (td1-tdn) to each correspondence pulse of clock signal CK. Fidelity [ as opposed to a subject-copy image in the image by the picture signal sampled by such sampling pulse ] falls, and the image quality deteriorates. It depends for this problem on the trailing edge of the sampling pulses SP1-SPn which determine the last level of a sampling



picture signal greatly.

[0007] If a liquid crystal display panel is enlarged, as it becomes impossible to drive in one liquid crystal display panel drive circuit and is shown in drawing 7, it will become the configuration which carries out cascade connection of two or more liquid crystal display panel drive circuits 100-1 - the 100-N.

[0008] In this case, the start pulse of the liquid crystal display panel drive circuit 100-2 after the 2nd step - 100-N assigns the sampling pulse of the last stage of the liquid crystal display panel drive circuit of that preceding paragraph. Also in these liquid crystal display panel drive circuits 100-1 - 100-N The fall of fidelity and degradation of image quality by gap of the timing of the above-mentioned sampling pulses SP1-SPn are the same. furthermore, in the part of the knot from one liquid crystal display panel drive circuit to the next liquid crystal display panel drive circuit Since the amounts of delay to the correspondence pulse of the clock signal of the sampling pulse SPn of the last of the preceding paragraph and the sampling pulse SW1 of the beginning of the next step differ, there are also degradation of the fidelity in this part and deterioration of image quality.

[0009]

[Problem(s) to be Solved by the Invention] In the conventional liquid crystal display panel drive circuit mentioned above Since the area of sampling / output section 2 in which an analog circuit occupies most will be several times the sampling pulse generating section 1 which makes a digital circuit a subject, When the output terminals To1-Ton of these circuits and a sampling picture signal have been arranged to up to a substrate, Bringing a result from which the amount of delay to the correspondence pulse of the clock signal of sampling pulses SP1-SPn differs mutually, the fidelity fell and the image on the liquid crystal display panel by the picture signal sampled by such sampling pulse had the fault that image quality deteriorated. Furthermore, when driving a large-sized liquid crystal display panel in two or more liquid crystal display panel drive circuits, there was the above-mentioned fault about each, and also there was same fault in the part of these knots.

[0010] The purpose of this invention is to offer the liquid crystal display panel drive circuit which can prevent the fall of the fidelity of the image on a liquid crystal display panel, and degradation of image quality in any [ of independent use and two or more use ] case.

[0011]

[Means for Solving the Problem] The sampling pulse generating section in which the liquid crystal display panel drive circuit of this invention is established in the position

on a substrate, and only a predetermined number generates a sampling pulse one by one synchronizing with a clock signal, In the liquid crystal display panel drive circuit which has sampling / output section which is prepared in the position on said substrate, samples the picture signal transmitted to said each of sampling pulse by answering, and supplies the sampling picture signal to a liquid crystal display panel The synchronous circuit which said sampling / output section is approached [ synchronous circuit ] and synchronizes said each of sampling pulse with the correspondence pulse of said clock signal is prepared, and it is constituted.

[0012]

[Example] Next, the example of this invention is explained with reference to a drawing.

[0013] The circuit diagram in which drawing 1 shows one example of this invention, and drawing 2 are the plot plans to the substrate top of each part of this example of an example.

[0014] The point that this example is different from the conventional liquid crystal display panel drive circuit shown in drawing 4 and drawing 5 is in the point of having approached and established the synchronous circuit 3 which a sampling pulse SP 1 · each SPn are synchronized with the correspondence pulse of clock signal CK, and is supplied to sampling / output section 2 in sampling / output section 2, including two or more AND gates 31 which perform AND processing with a sampling pulse SP 1 · each SPn, and the correspondence pulse of clock signal CK.

[0015] Next, actuation of this example is explained. Drawing 3 is the timing chart of each part signal for explaining actuation of this example. In addition, the inside SP1-SPn of drawing 3 is the wave of the sampling pulse in these and the input edge of the AND gate 31 which corresponds, respectively.

[0016] Since the synchronous circuit 3 is approached and established in sampling / output section 2, the amounts Td1-Tdn of delay in the input edge of the correspondence AND gate 31 to the correspondence pulse of each clock signal CK of a sampling pulse SP 1 · SPn are comparable as the conventional example. The correspondence AND gate 31 performs AND processing with these sampling pulses SP 1 · each SPn, and the correspondence pulse of clock signal CK, and sampling / output section 2 is supplied as sampling pulses SS1-SSn.

[0017] Consequently, since the trailing edge of sampling pulses SS1-SSn which influences greatly the last level decision of the sampling picture signals Vo1-Von is in agreement with the trailing edge of the correspondence pulse of clock signal CK The image which the level is determined to the exact timing to which any sampling picture signals Vo1-Von synchronized with the trailing edge of each pulse of clock signal CK,

therefore is displayed on a liquid crystal display panel is faithfully displayed to a subject-copy image, and the image quality does not deteriorate, either. This effectiveness is the same also to the part of the knot in the case of driving a large-sized liquid crystal display panel by two or more liquid crystal display panel drive circuits. In addition, although the pulse width of sampling pulses SS1-SSn changes with differences of the amount of delay, it is sufficient pulse width to determine the level of the sampling picture signals Vo1-Von, and there is especially no problem.

[0018]

[Effect of the Invention] By considering as the configuration which approached and established the synchronous circuit where this invention is synchronized with the correspondence pulse of a clock signal, and supplies each of a sampling pulse to sampling / output section in sampling / output section as explained above Since the trailing edge of the sampling pulse which determines the last level of a sampling picture signal is in agreement with the trailing edge of the correspondence pulse of a clock signal The sampling timing of a picture signal becomes settled correctly synchronizing with the trailing edge of each pulse of a clock signal, therefore the fidelity to the subject-copy image of the image on a liquid crystal display panel can be maintained, and it is effective in the ability to prevent that image quality deteriorates. This effectiveness is the same also about the part of the mutual knot in the case of driving a large-sized liquid crystal display panel in two or more liquid crystal display panel drive circuits.

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing one example of this invention.

[Drawing 2] It is a plot plan to the substrate top of each part of the example shown in drawing 1.

[Drawing 3] It is the timing chart of each part signal for explaining actuation of the example shown in drawing 1.

[Drawing 4] It is the block diagram showing an example of the conventional liquid crystal display panel drive circuit.

[Drawing 5] It is a plot plan to the substrate top of each part of the liquid crystal display panel drive circuit shown in drawing 4.

[Drawing 6] It is the timing chart of each part signal for explaining actuation of the liquid crystal display panel drive circuit shown in drawing 4.

[Drawing 7] It is the block diagram of the liquid crystal display which used two or more liquid crystal display panel drive circuits shown in drawing 4.

[Description of Notations]

1 Sampling Pulse Generating Section

2 Sampling / Output Section

3 Synchronous Circuit

10 Substrate

11 Shift Register Circuit

12 Level Shift Circuit

21 Sample Hold Circuit

22 Output-Buffer Circuit

31 AND Gate

100-1 - 100-N Liquid crystal display panel drive circuit

200 Liquid Crystal Display Panel

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-348232

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 05-137059

(71)Applicant : NEC CORP

(22)Date of filing :

08.06.1993

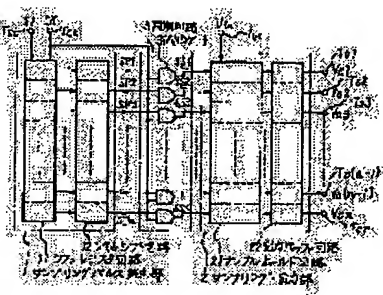
(72)Inventor : HOSHIKAWA EISAKU

### (54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY PANEL

#### (57)Abstract:

**PURPOSE:** To maintain the faithfulness of the image on a liquid crystal display panel to an original image by disposing a synchronizing circuit in proximity to sampling and output sections.

**CONSTITUTION:** This driving circuit includes plural AND gates 31 for ANDing of respective sampling pulses SP1 to SPn and the corresponding pulses of clock signals CK and is provided with the synchronizing circuit 3 for supplying the respective sampling pulses SP1 to SPn to the sampling and output sections 2 by synchronizing these pulses with the corresponding pulses of the clock signals CK in proximity to the sampling and output sections 2. The circuit executes the ANDing of the respective sampling pulses SP1 to SPn and the corresponding pulses of the clock signals CK by corresponding AND gates 31 and supplies the signals as the sampling pulses SS1 to SSn to the sampling and output sections 2. Consequently, the rear edges of the sampling pulses SS1 to SSn which significantly affect the final level determination of sampling image signals Vo1 to Von eventually coincide with the rear edges of the corresponding pulses of the clock signals CK.



#### LEGAL STATUS

[Date of request for examination] 08.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2586377

[Date of registration] 05.12.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office